



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0086394
Application Number

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

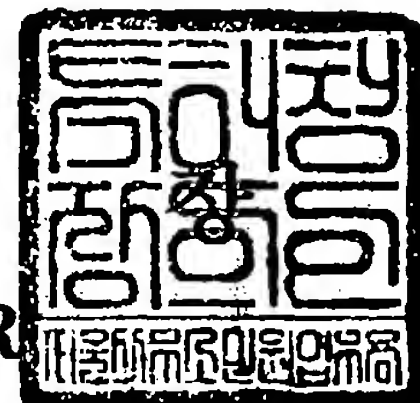
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0060
【제출일자】	2002.12.30
【발명의 명칭】	캐패시터의 제조 방법
【발명의 영문명칭】	Method for fabrication of capacitor
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	박종범
【성명의 영문표기】	PARK, Jong Bum
【주민등록번호】	711023-1630021
【우편번호】	467-140
【주소】	경기도 이천시 고담동 72-1번지 고담기숙사 106-603
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 성 (인) 특허법인 신
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	5 면 5,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	34,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 하부전극의 높이가 높아지더라도 이웃한 실린더형 하부전극간 붙는 현상을 방지하는데 적합한 캐패시터의 제조 방법을 제공하기 위한 것으로, 본 발명은 반도체 기판 상에 형성된 층간절연막과 제1 식각배리어막의 적층막이 제공하는 콘택홀에 스토리지노드콘택플러그를 매립하는 단계, 스토리지노드 콘택플러그상에 하부의 임계선평폭이 상부의 그것에 비해 큰 필라 패턴을 형성하는 단계, 필라 패턴을 에워싸는 제2 스토리지노드절연막을 형성하는 단계, 필라 패턴을 선택적으로 제거하여 스토리지 노드 콘택플러그를 노출시키는 오목 패턴을 형성하는 단계, 오목 패턴 내부에 스토리지노드 콘택플러그와 연결되면서 하부의 임계선평폭이 상부의 그것에 비해 큰 하부전극을 형성하는 단계를 포함하므로써, 하부전극의 하부 $CD(B_{CD})$ 가 상부 $CD(T_{CD})$ 에 비해 크므로, 하부전극이 견고하게 지지되고, 또한 이웃한하부전극의 상부 간격이 넓어 하부전극간 붙는 현상을 억제하므로 셀 사이의 듀얼 비트 페일을 방지하여 웨이퍼의 수율을 향상시킬 수 있는 효과가 있다.

【대표도】

도 3g

【색인어】

실린더, 캐패시터, 임계선평폭, 습식식각, 식각배리어막

【명세서】

【발명의 명칭】

캐패시터의 제조 방법{Method for fabrication of capacitor}

【도면의 간단한 설명】

도 1a 내지 도 1d는 종래 기술에 따른 캐패시터의 제조 공정 단면도,

도 2는 종래 기술에 따른 하부전극간 붙는 현상을 도시한 도면,

도 3a 내지 도 3h는 본 발명의 실시예에 따른 캐패시터의 제조 공정 단면도.

* 도면의 주요 부분에 대한 부호의 설명

21 : 반도체 기판

22 : 층간절연막

23 : 제1 식각배리어막

24 : 스토리지노드 콘택 플러그

25 : 제2 식각배리어막

26 : 제1 스토리지노드 절연막

27 : 필라 패턴

28 : 제2 스토리지노드 절연막

29 : 오목 패턴

30a : 하부전극

32 : 산소확산배리어막

33 : Ta₂O₅막

34 : 상부전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체 제조 기술에 관한 것으로, 특히 캐패시터의 제조 방법에 관한 것이다.
- <13> 최근에 메모리 소자의 고집적화, 소형화 및 고속화에 따라 캐패시터가 차지하는 면적이 감소하고 있으며, 비록 반도체 소자가 고집적화 및 소형화되더라도 반도체 소자를 구동시키기 위한 캐패시터의 정전 용량은 최소한 확보되어야 한다.
- <14> 캐패시터의 정전 용량을 확보하기 위한 한 방안으로 캐패시터의 하부전극을 실린더(Cyclinder) 구조, 스택(Stack) 구조, 오목(Concave) 구조 등 다양한 구조로 형성하여 제한된 면적 하에서 캐패시터의 하부전극의 유효 표면적을 극대화시키고 있다.
- <15> 또한, 캐패시터 용량을 확보하기 위해 하부전극의 높이를 증가시키고 있다.
- <16> 도 1a 내지 도 1d는 종래기술에 따른 캐패시터의 제조 방법을 도시한 공정 단면도이다.
- <17> 도 1a에 도시된 바와 같이, 트랜지스터 및 비트라인 등의 반도체 회로가 형성된 반도체 기판(11) 상부에 층간절연막(12)을 형성한 후, 층간절연막(12)을 식각하여 반도체 기판(11)의 일부를 노출시키는 스토리지노드콘택홀을 형성한다.
- <18> 다음에, 스토리지노드콘택홀 내에 매립되어 반도체 기판(11)과 연결되는 스토리지노드 콘택플러그(13)를 형성한 후, 스토리지노드 콘택플러그(13)를 포함한 층간절연막

(12) 상에 식각배리어막(etch barrier layer)(14)과 하부전극의 높이를 결정짓는 스토리지노드 산화막(15)을 차례로 증착한다.

<19> 다음에, 스토리지노드 산화막(15)과 식각배리어막(14)을 식각하여 하부전극이 형성될 영역, 예컨대 오목(concave) 패턴(16)을 형성한다. 이때, 오목 패턴(16)은 두꺼운 스토리지노드 산화막(15)을 건식식각하여 형성하므로 수직에 가까운 프로파일로 식각되지 않기 때문에, 상부 임계선폭(Top Critical Dimension, T_{CD})이 하부 임계선폭(Bottom CD, B_{CD})에 비해 크다. 이하, 임계선폭을 CD라고 약칭한다.

<20> 도 1b에 도시된 바와 같이, 오목패턴(16)을 포함한 전면에 하부전극용 도전막을 증착한 후, 오목 패턴(16)을 채울때까지 하부전극용 도전막 상에 감광막을 도포한다. 다음에, 에치백이나 화학적기계적연마를 통해 오목패턴(16)을 제외한 부분에 형성된 하부전극용 도전막을 제거하여 오목 패턴(16) 내부에만 잔류하는 실린더구조의 하부전극(17)을 형성한 후, 감광막을 제거한다.

<21> 도 1c에 도시된 바와 같이, 스토리지노드 산화막(15)을 습식 딥아웃 공정을 통해 제거한다. 이때, 드러나는 실린더 구조의 하부전극(17)은 오목패턴(16)과 동일하게 상부 $CD(T_{CD})$ 가 하부 $CD(B_{CD})$ 에 비해 크고, 이로써 이웃한 실린더형 하부전극(17)간 간격(y_1)이 좁다

<22> 도 1d에 도시된 바와 같이, 실린더 구조의 하부전극(17) 상에 유전막(18)과 상부전극(19)를 차례로 형성하여 캐패시터를 완성한다.

<23> 그러나, 상술한 종래기술은, 도 2에 도시된 바와 같이, 실린더 구조의 하부전극(17)의 상부 CD(T_{CD})가 하부 CD(B_{CD})에 비해 크고, 이웃한 하부전극(17)간 간격(y_1)이 좁기 때문에, 똑바로 지지되지 못하여 이웃한 하부전극(17)과 붙는 문제가 발생한다.

<24> 이와 같이, 하부전극(17)끼리 붙을 경우에는 듀얼 비트 페일(dual bit fail)을 유발하게 되어 각 셀을 독립적으로 동작시킬 수 없다.

【발명이 이루고자 하는 기술적 과제】

<25> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출한 것으로, 하부전극의 높이가 높아지더라도 이웃한 실린더형 하부전극간 붙는 현상을 방지하는데 적합한 캐패시터의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<26> 상기 목적을 달성하기 위한 본 발명의 캐패시터의 제조 방법은 반도체 기판 상에 상기 반도체 기판의 일부를 노출시키는 홀을 갖는 층간절연막과 제1 식각배리어막의 적층막을 형성하는 단계, 상기 적층막의 홀에 매립되어 상기 반도체 기판과 연결되는 스토리지노드 콘택플러그를 형성하는 단계, 상기 적층막 상에 상기 스토리지노드 콘택플러그를 노출시키면서 하부 영역의 임계선평이 상부 영역의 그것에 비해 큰 오목 패턴을 갖는 스토리지노드절연막을 형성하는 단계, 상기 오목 패턴 내에 상기 스토리지노드 콘택플러그와 연결되는 하부전극을 형성하는 단계, 및 상기 하부전극 상에 유전막과 상부전극을 차례로 형성하는 단계를 포함함을 특징으로 한다.

<27> 또한, 본 발명의 캐패시터의 제조 방법은 반도체 기판 상에 층간절연막과 제1 식각 배리어막의 적층막을 형성하는 단계, 상기 적층막을 식각하여 상기 반도체 기판의 일부를 노출시키는 스토리지노드콘택홀을 형성하는 단계, 상기 스토리지노드콘택홀에 매립되어 상기 반도체 기판과 연결되는 스토리지노드 콘택플러그를 형성하는 단계, 상기 스토리지노드 콘택플러그 및 상기 적층막 상에 제2 식각배리어막과 제1 스토리지노드절연막을 적층 형성하는 단계, 상기 제1 스토리지노드절연막과 상기 제2 식각배리어막을 순차적으로 건식식각하여 상기 스토리지노드콘택플러그 상에 하부의 임계선평이 상부의 그것에 비해 큰 필라 패턴을 형성하는 단계, 상기 필라 패턴을 에워싸는 제2 스토리지노드절연막을 형성하는 단계, 상기 필라 패턴을 선택적으로 제거하여 상기 스토리지 노드 콘택플러그를 노출시키는 오목 패턴을 형성하는 단계, 상기 오목 패턴 내부에 상기 스토리지노드 콘택플러그와 연결되면서 하부의 임계선평이 상부의 그것에 비해 큰 하부전극을 형성하는 단계, 및 상기 하부전극 상에 유전막과 상부전극을 차례로 형성하는 단계를 포함하는 것을 특징으로 한다.

<28> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<29> 도 3a 내지 도 3h는 본 발명의 실시예에 따른 캐패시터의 제조 방법을 도시한 공정 단면도이다.

<30> 도 3a에 도시된 바와 같이, 트랜지스터 및 비트라인 등의 반도체 회로가 형성된 반도체 기판(21) 상부에 층간절연막(22)과 제1 식각배리어막(23)을 증착한다. 이때, 제1

식각배리어막(23)은 $300\text{\AA} \sim 1000\text{\AA}$ 의 두께로 증착한 질화막(nitride)이며, 후속 건식식각 배리어막 역할 및 제1 스토리지노드 절연막의 습식식각 배리어막 역할을 한다.

<31> 다음에, 마스크 및 식각 공정을 통해 제1 식각배리어막(23)과 층간절연막(22)을 식각하여 반도체 기판(21)의 일부분을 노출시키는 스토리지노드콘택홀을 형성한 후, 스토리지노드콘택홀을 채울때까지 제1 식각배리어막(23) 상에 폴리실리콘막을 증착한다.

<32> 그리고, 제1 식각배리어막(23)의 표면이 드러날때까지 폴리실리콘막을 화학적기계적연마(CMP) 공정으로 평탄화시켜 폴리실리콘막으로 된 스토리지노드 콘택플러그(24)를 형성한다.

<33> 도 3b에 도시된 바와 같이, 스토리지노드 콘택플러그(24) 및 제1 식각배리어막(23) 상에 폴리실리콘막(polysilicon) 또는 티타늄나이트라이드막(TiN)으로 된 제2 식각배리어막(25)을 $300\text{\AA} \sim 1000\text{\AA}$ 의 두께로 형성하고, 제2 식각배리어막(25) 상에 질화막(Si_3N_4)의 제1 스토리지노드 절연막(26)을 $5000\text{\AA} \sim 30000\text{\AA}$ 의 두께로 형성한다.

<34> 이때, 제2 식각배리어막(25)은 제1 스토리지노드 절연막(26)의 건식식각 배리어막 역할과 이후 진행되는 제1 스토리지노드 절연막(26)의 습식식각 배리어막 역할을 한다.

<35> 다음에, 마스크 및 식각 공정을 통해 제2 식각배리어막(25)에서 식각이 멈추도록 제1 스토리지노드절연막(26)을 건식식각하고, 연속해서 제1 식각배리어막(23)에서 식각이 멈추도록 제2 식각배리어막(25)을 건식식각하여 스토리지노드 콘택플러그(24)에 접하며 상부 $\text{CD}(\text{T}_{\text{CD}})$ 에 비해 하부 $\text{CD}(\text{B}_{\text{CD}})$ 가 넓은 필라(pillar) 패턴(27)을 형성한다.

<36> 도 3c에 도시된 바와 같이, 필라 패턴(27)간 공간을 채울때까지 필라 패턴(27) 상에 제2 스토리지노드 절연막(28)을 형성한 후, 필라 패턴(27)의 제1 스토리지노드 절연

막(26)의 표면이 드러날때까지 제2 스토리지노드 절연막(28)을 화학적기계적연마하여 평탄화한다.

<37> 여기서, 제2 스토리지노드 절연막(28)은 USG(Undoped Silicate Glass), PSG(Phospho Silicate Glass), BPSG(Boro Phospho Silicate Glass) 또는 PETEOS(Plasma Enhance Tetra Ethyl Ortho Silicate) 중에서 선택하여 사용한다.

<38> 도 3d에 도시된 바와 같이, 필라 패턴(27)을 선택적으로 제거하는데, 먼저 H_3PO_4 용액을 이용하여 제1 스토리지노드 절연막(26)을 습식식각하고, 건식식각을 통해 제2 식각배리어막(25)을 식각한다.

<39> 이때, 제2 식각배리어막(25)은 제1 스토리지노드 절연막(26)의 습식식각시 식각배리어막이고, 제1 식각배리어막(23)은 제2 식각배리어막(25)의 건식 식각시 식각배리어막이다.

<40> 한편, 제2 식각배리어막(25)은 건식식각외에 습식식각을 통해서도 제거할 수 있는데, 제2 식각배리어막(25)이 폴리실리콘막인 경우에는 $HNO_3/HF/CH_3COOH$ 의 혼합 수용액을 이용하여 습식식각하고, 제2 식각배리어막(25)이 티타늄나이트라이드막인 경우에는 H_2SO_4/H_2O_2 의 혼합수용액을 이용하여 습식식각한다.

<41> 전술한 바와 같은 필라 패턴(27)의 제거후, 제2 스토리지노드 절연막(28)이 제공하
는 오목 패턴(29)이 형성되며, 오목 패턴(29)은 필라 패턴(27)과 동일하게 상부 $CD(T_{CD})$
가 하부 $CD(B_{CD})$ 에 비해 작으며, 스토리지노드 콘택플러그(24)를 노출시키는 스토리지노
드 예정 영역이다.

- <42> 도 3e에 도시된 바와 같이, 오목 패턴(29)을 포함한 제2 스토리지노드 절연막(28) 상에 하부전극용 도전막(30)을 증착한 후, 하부전극용 도전막(30) 상에 오목 패턴(29)을 채우는 두께로 감광막(31)을 도포한다. 이때, 하부전극용 도전막(30)은 도우프트드 폴리실리콘막 또는 귀금속(noble metal) 계열의 금속막을 이용한다.
- <43> 도 3f에 도시된 바와 같이, 하부전극용 도전막(30)의 에치백 또는 화학적기계적연마 공정을 통해 오목 패턴(29) 내에만 잔류하는 실린더 구조의 하부전극(30a)을 형성한다.
- <44> 자세히 살펴 보면, 하부전극용 도전막(30) 표면이 드러날때까지 감광막(31)을 에치백하여 오목 패턴(29) 내부에 감광막(31)을 잔류시키고, 감광막(31)이 잔류한 상태에서 오목 패턴(29) 외부의 제2 스토리지노드 절연막(28)상에 드러난 하부전극용 도전막(30)을 에치백 또는 화학적기계적연마하여 실린더 구조의 하부전극(30a)을 형성한다.
- <45> 도 3g에 도시된 바와 같이, 잔류하는 감광막(31)을 스트립하여 제거한 후, HF 또는 BOE(Buffered Oxide Etchant)를 이용하여 제2 스토리지노드 절연막(28)을 습식식각한다. 이때, 실린더 구조의 하부전극(30a)의 외벽이 드러난다.
- <46> 전술한 바에 따르면, 실린더 구조의 하부전극(30a)은 오목패턴(29)의 내부에 형성됨에 따라 하부 CD(B_{CD})가 상부 CD(T_{CD})에 비해 크고, 이로써 실린더 구조의 하부전극(30a)이 견고하게 지지되고, 이웃한 실린더 구조의 하부전극(30a)의 상부 간격(y_2)이 넓다.

- <47> 도 3h에 도시된 바와 같이, 실린더 구조의 하부전극(30a) 표면을 NH_3 플라즈마처리 하여 질화시켜 후속 유전막의 열처리시 산소가 실린더 구조의 하부전극(30a)으로 확산하는 것을 방지하는 산소확산배리어막(32)을 형성한다.
- <48> 이때, 질화시키는 공정은, $300^\circ\text{C} \sim 500^\circ\text{C}$ 의 온도와 $0.1\text{torr} \sim 10\text{torr}$ 의 압력하에서 $100\text{W} \sim 1000\text{W}$ 의 RF 파워를 인가하면서 진행한다.
- <49> 다음에, 질화된 실린더 구조의 하부전극(30a) 상에 Ta_2O_5 막(33)을 $20\text{\AA} \sim 100\text{\AA}$ 의 두께로 증착한다. 이때, Ta_2O_5 막(33)의 증착은 $300^\circ\text{C} \sim 500^\circ\text{C}$ 의 온도와 $0.1\text{torr} \sim 1\text{torr}$ 의 압력에서 $\text{Ta}(\text{C}_2\text{H}_5\text{O})_5$ 소스와 반응가스인 산소(O_2)를 이용하여 진행한다.
- <50> 다음에, Ta_2O_5 막(33)의 특성 향상 및 결정화를 위해 $500^\circ\text{C} \sim 800^\circ\text{C}$ 의 고온에서 N_2O 또는 O_2 분위기로 로(furnace)를 이용하여 열처리한다.
- <51> 마지막으로, 상부전극(34)을 증착한 후, 패터닝을 통해 캐패시터를 완성한다. 이때, 상부전극(34)의 물질로는 CVD TiN을 증착한 후 폴리실리콘막을 연속해서 증착한다. 그리고 $500^\circ\text{C} \sim 700^\circ\text{C}$ 의 온도로 질소 분위기에서 로를 이용하여 활성화 열처리를 실시한다.
- <52> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<53> 상술한 본 발명은 실린더 구조의 하부전극의 하부 $CD(B_{CD})$ 가 상부 $CD(T_{CD})$ 에 비해 크므로, 하부전극이 견고하게 지지되고, 또한 이웃한 실린더 구조의 하부전극간 상부 간격이 넓어 실린더 구조의 하부전극들이 서로 붙는 현상을 억제하므로 셀 사이의 듀얼 비트 페일을 방지하여 웨이퍼의 수율을 향상시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 상기 반도체 기판의 일부를 노출시키는 홀을 갖는 층간절연막과 제1 식각배리어막의 적층막을 형성하는 단계;

상기 적층막의 홀에 매립되어 상기 반도체 기판과 연결되는 스토리지노드 콘택플러그를 형성하는 단계;

상기 적층막 상에 상기 스토리지노드 콘택플러그를 노출시키면서 하부 영역의 임계선폭이 상부 영역의 그것에 비해 큰 오목 패턴을 갖는 스토리지노드절연막을 형성하는 단계;

상기 오목 패턴 내에 상기 스토리지노드 콘택플러그와 연결되는 하부전극을 형성하는 단계; 및

상기 하부전극 상에 유전막과 상부전극을 차례로 형성하는 단계를 포함하는 캐패시터의 제조 방법.

【청구항 2】

제1 항에 있어서,

상기 오목패턴을 갖는 스토리지노드 절연막을 형성하는 단계는,

상기 스토리지노드 콘택플러그 상에 제2 식각배리어막과 제1 스토리지노드절연막이 적층되고 하부의 임계선폭이 상부의 그것에 비해 큰 필라 패턴을 형성하는 단계;

상기 필라 패턴을 에워싸는 제2 스토리지노드절연막을 형성하는 단계; 및

상기 제1 식각배리어막을 식각배리어막으로 하여 상기 필라 패턴을 선택적으로 제거하여 상기 스토리지노드 콘택 플러그를 노출시키면서 상기 필라패턴의 형태를 갖는 오목 패턴을 형성하는 단계

를 포함하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 3】

제2 항에 있어서,

상기 필라패턴을 선택적으로 제거하여 오목 패턴을 형성하는 단계는,

상기 제2 식각배리어막을 식각배리어막으로 하여 상기 제1 스토리지노드절연막을 식각하는 단계; 및

상기 제1 식각배리어막을 식각배리어막으로 하여 제2 식각배리어막을 식각하는 단계

를 포함하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 4】

제3 항에 있어서,

상기 제1 스토리지노드절연막은 습식식각을 통해 식각하고, 상기 제2 식각배리어막은 습식식각을 통해 식각하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 5】

제3 항에 있어서,

상기 제1 스토리지노드절연막은 습식식각을 통해 식각하고, 상기 제2 식각배리어막은 건식식각을 통해 식각하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 6】

제2 항 내지 제4 항 중 어느 한 항에 있어서,

상기 제1 스토리지노드절연막과 상기 제1 식각배리어막은 질화막이고, 상기 제2 식각배리어막은 폴리실리콘막인 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 7】

제2 항 내지 제3 항 중 어느 한 항 또는 제5 항에 있어서,

상기 제1 스토리지노드절연막과 상기 제1 식각배리어막은 질화막이고, 상기 제2 식각배리어막은 티타늄나이트라이드막인 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 8】

제6 항에 있어서,

상기 제1 스토리지노드절연막은 H_3PO_4 용액을 이용하여 습식식각하고, 상기 제2 식각배리어막은 $HNO_3/HF/CH_3COOH$ 의 혼합 수용액을 이용하여 습식식각하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 9】

제7 항에 있어서,

상기 상기 제1 스토리지노드절연막은 H_3PO_4 용액을 이용하여 습식식각하고, 상기 제2 식각배리어막은 H_2SO_4/H_2O_2 의 혼합수용액을 이용하여 습식식각하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 10】

제1 항에 있어서,

상기 하부전극을 형성하는 단계는,

상기 하부전극 표면을 질화시키는 단계를 더 포함하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 11】

반도체 기판 상에 층간절연막과 제1 식각배리어막의 적층막을 형성하는 단계;

상기 적층막을 식각하여 상기 반도체 기판의 일부를 노출시키는 스토리지노드콘택홀을 형성하는 단계;

상기 스토리지노드콘택홀에 매립되어 상기 반도체 기판과 연결되는 스토리지노드 콘택플러그를 형성하는 단계;

상기 스토리지노드 콘택플러그 및 상기 적층막 상에 제2 식각배리어막과 제1 스토리지노드절연막을 적층 형성하는 단계;

상기 제1 스토리지노드절연막과 상기 제2 식각배리어막을 순차적으로 건식식각하여 상기 스토리지노드콘택플러그 상에 하부의 임계선폭이 상부의 그것에 비해 큰 필라 패턴을 형성하는 단계;

상기 필라 패턴을 에워싸는 제2 스토리지노드절연막을 형성하는 단계;

상기 필라 패턴을 선택적으로 제거하여 상기 스토리지 노드 콘택플러그를 노출시키는 오목 패턴을 형성하는 단계;

상기 오목 패턴 내부에 상기 스토리지노드 콘택플러그와 연결되면서 하부의 임계선폭이 상부의 그것에 비해 큰 하부전극을 형성하는 단계; 및

상기 하부전극 상에 유전막과 상부전극을 차례로 형성하는 단계

를 포함하는 캐패시터의 제조 방법.

【청구항 12】

제11 항에 있어서,

상기 필라패턴을 선택적으로 제거하여 오목 패턴을 형성하는 단계는,

상기 제2 식각배리어막을 식각배리어막으로 하여 상기 제1 스토리지노드절연막을 식각하는 단계; 및



상기 제1 식각배리어막을 식각배리어막으로 하여 제2 식각배리어막을 식각하는 단계

를 포함하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 13】

제12 항에 있어서,

상기 제1 스토리지노드절연막은 습식식각을 통해 식각하고, 상기 제2 식각배리어막은 습식식각을 통해 식각하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 14】

제12 항에 있어서,

상기 제1 스토리지노드절연막은 습식식각을 통해 식각하고, 상기 제2 식각배리어막은 건식식각을 통해 식각하는 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 15】

제12 항 또는 제13 항에 있어서,

상기 제1 스토리지노드절연막과 상기 제1 식각배리어막은 질화막이고, 상기 제2 식각배리어막은 폴리실리콘막인 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 16】

제12 항 또는 제14 항에 있어서,

상기 제1 스토리지노드절연막과 상기 제1 식각배리어막은 질화막이고, 상기 제2 식각배리어막은 티타늄나이트라이드막인 것을 특징으로 하는 캐패시터의 제조 방법.

【청구항 17】

제15 항에 있어서,

상기 제1 스토리지노드절연막은 H_3PO_4 용액을 이용하여 습식식각하고, 상기 제2 식각배리어막은 $HNO_3/HF/CH_3COOH$ 의 혼합 수용액을 이용하여 습식식각하는 것을 특징으로 하는 캐패시터의 제조 방법.

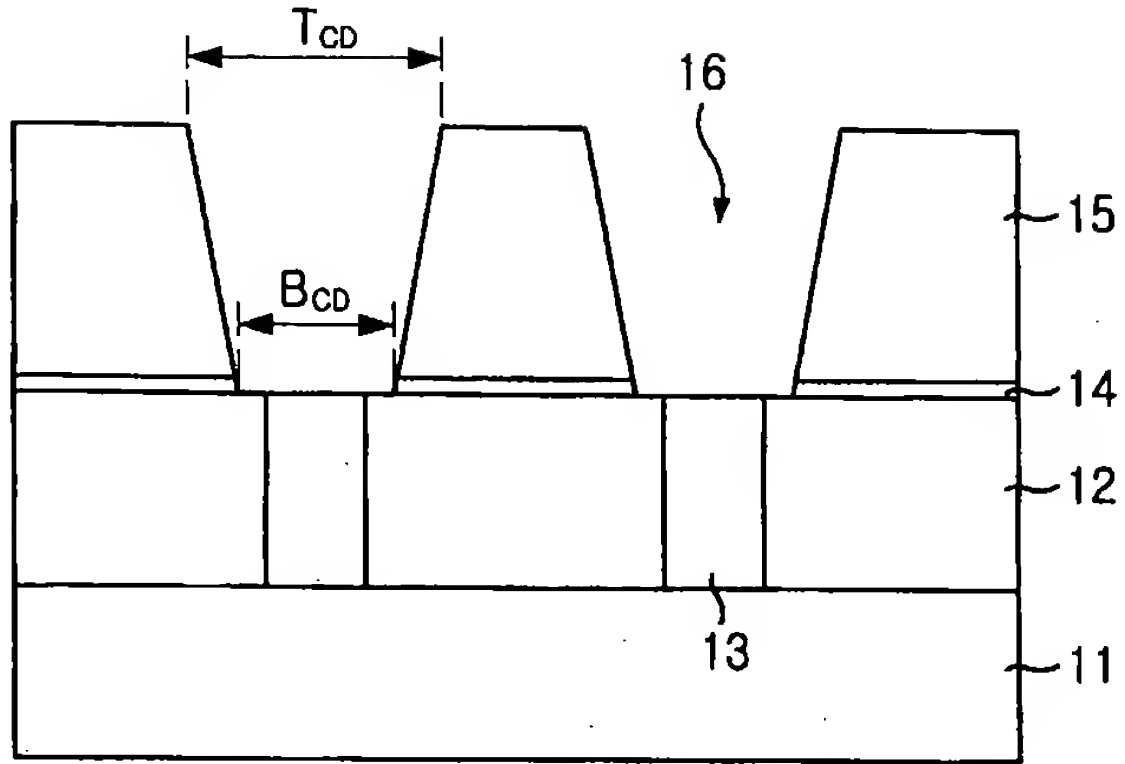
【청구항 18】

제16 항에 있어서,

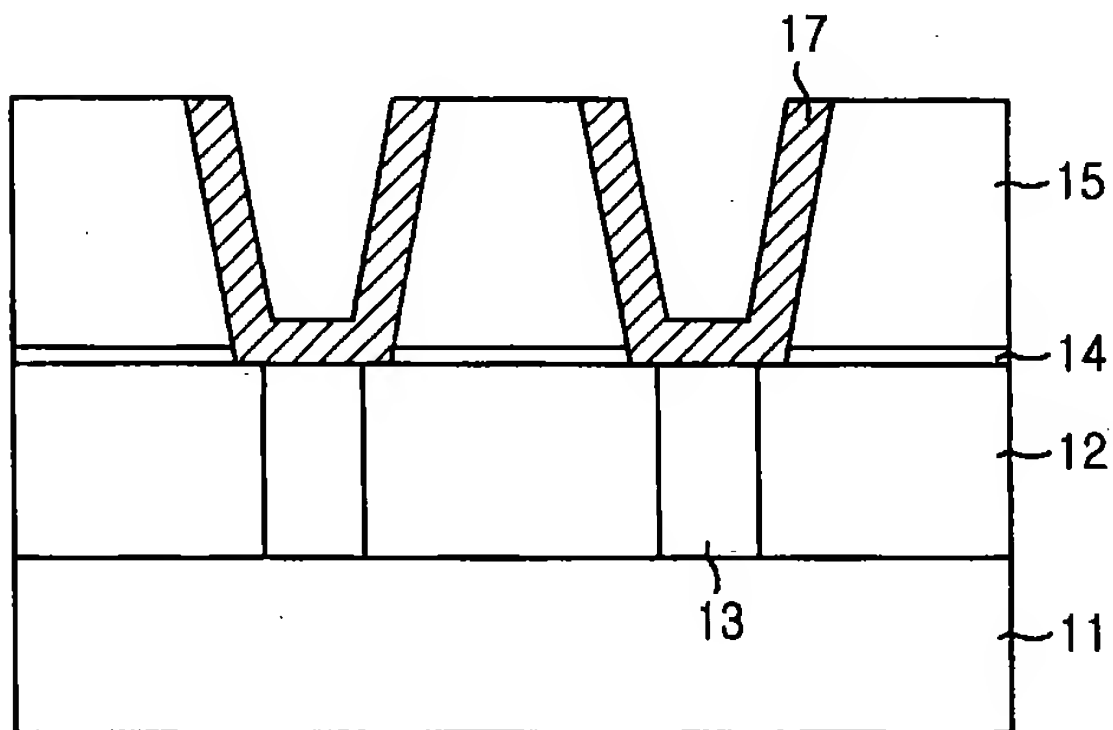
상기 상기 제1 스토리지노드절연막은 H_3PO_4 용액을 이용하여 습식식각하고, 상기 제2 식각배리어막은 H_2SO_4/H_2O_2 의 혼합수용액을 이용하여 습식식각하는 것을 특징으로 하는 캐패시터의 제조 방법.

【도면】

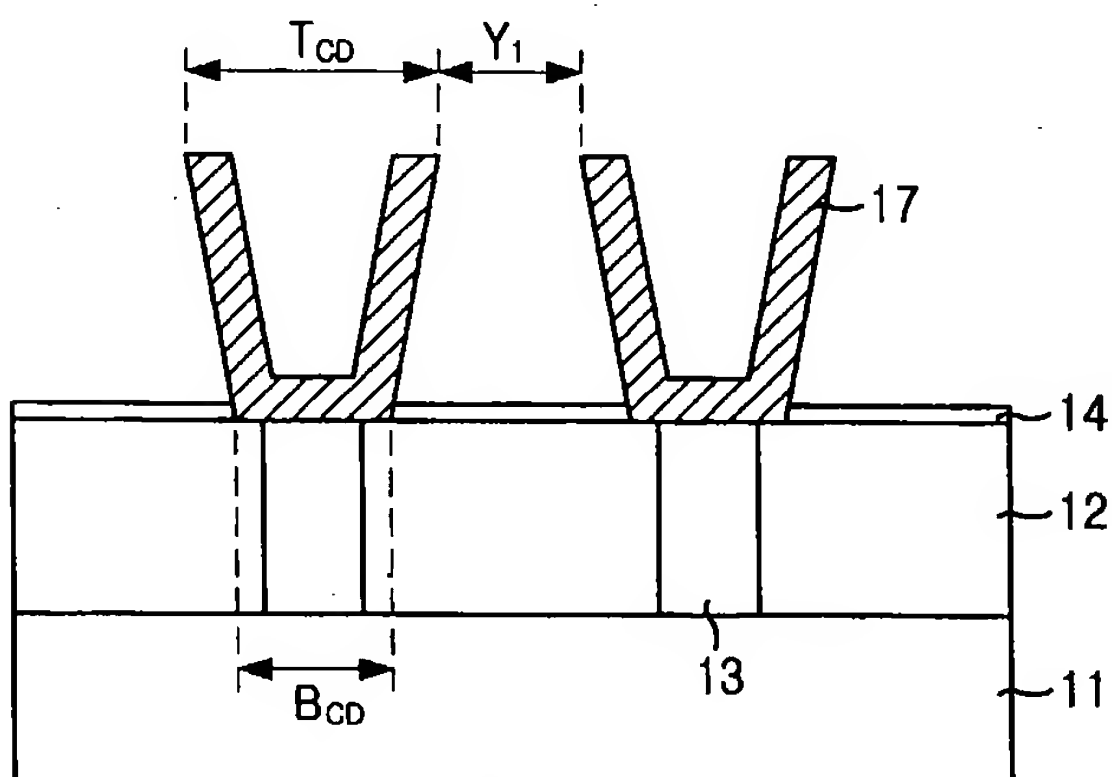
【도 1a】



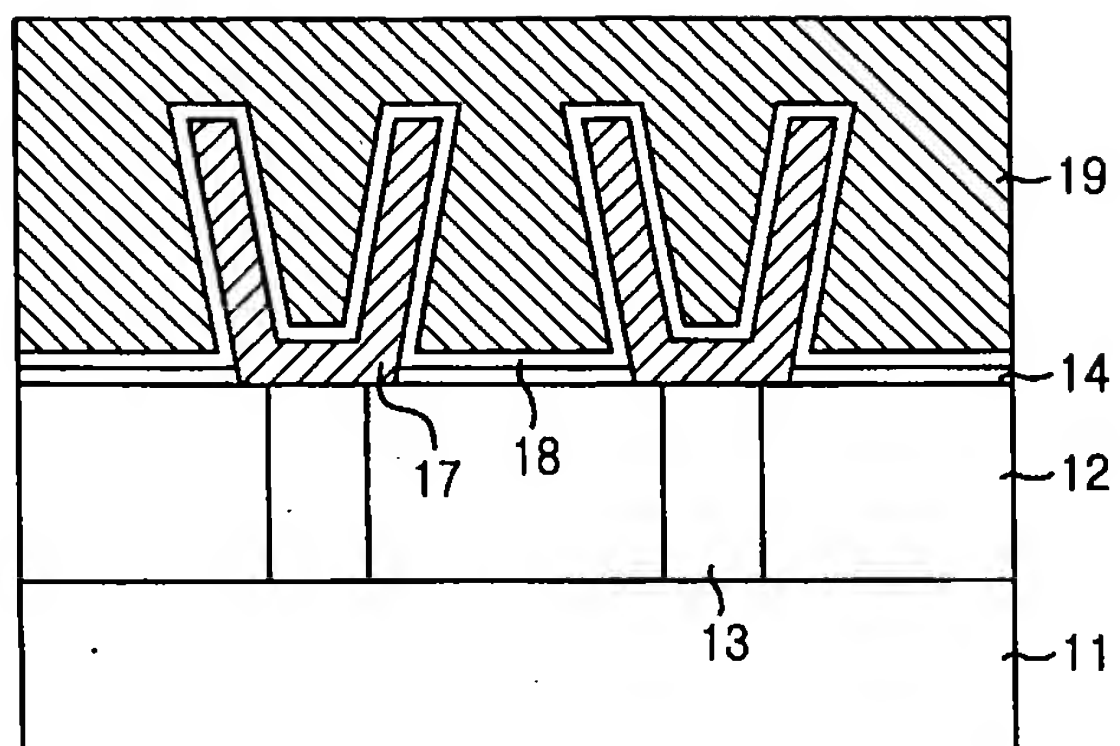
【도 1b】



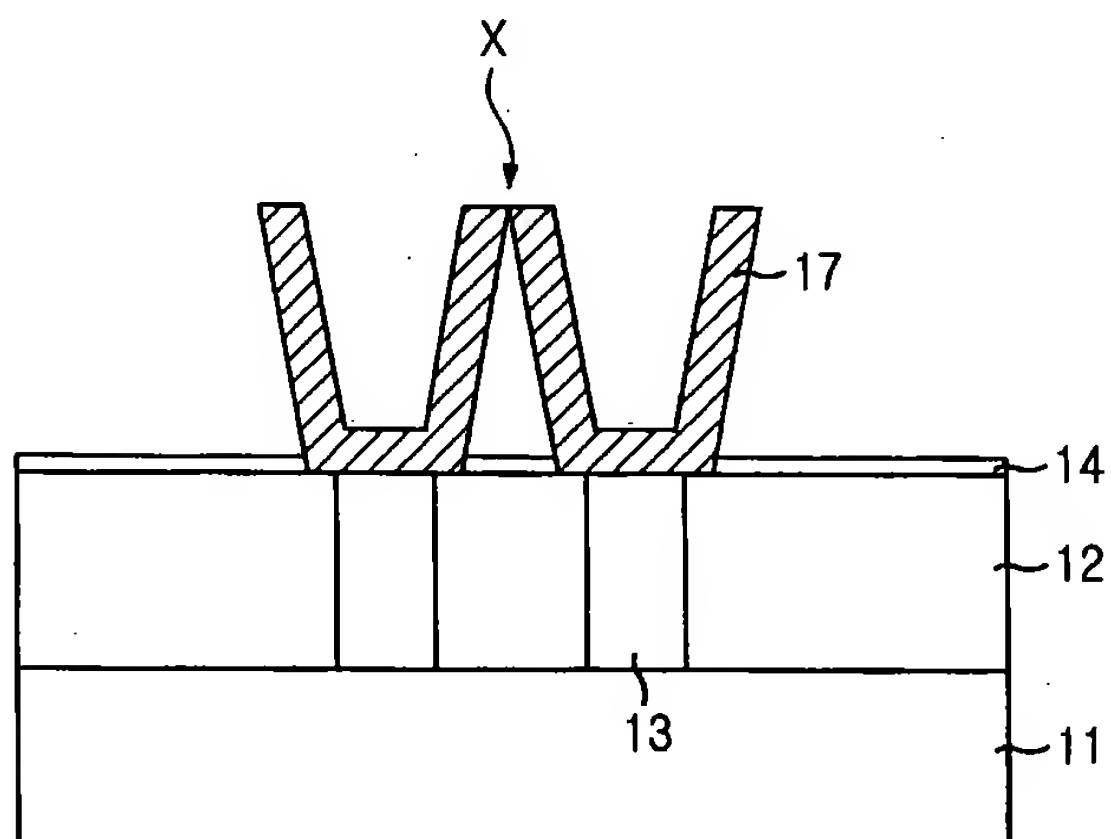
【도 1c】



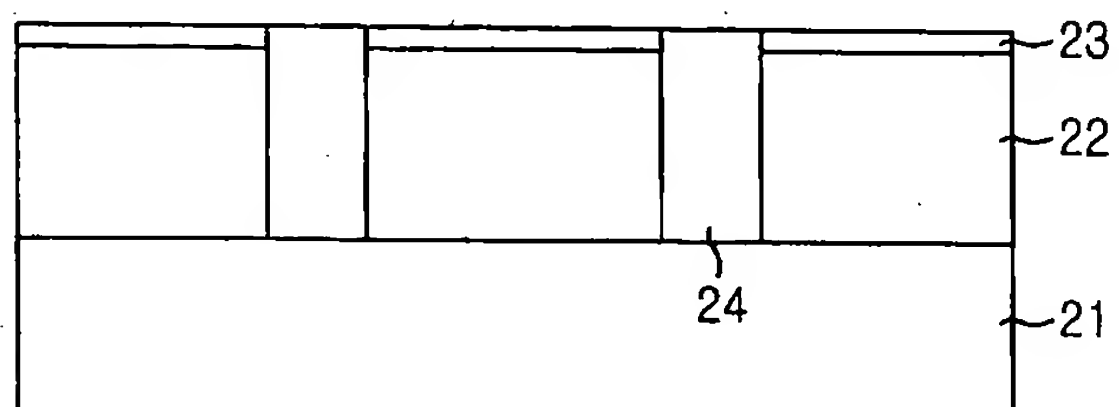
【도 1d】



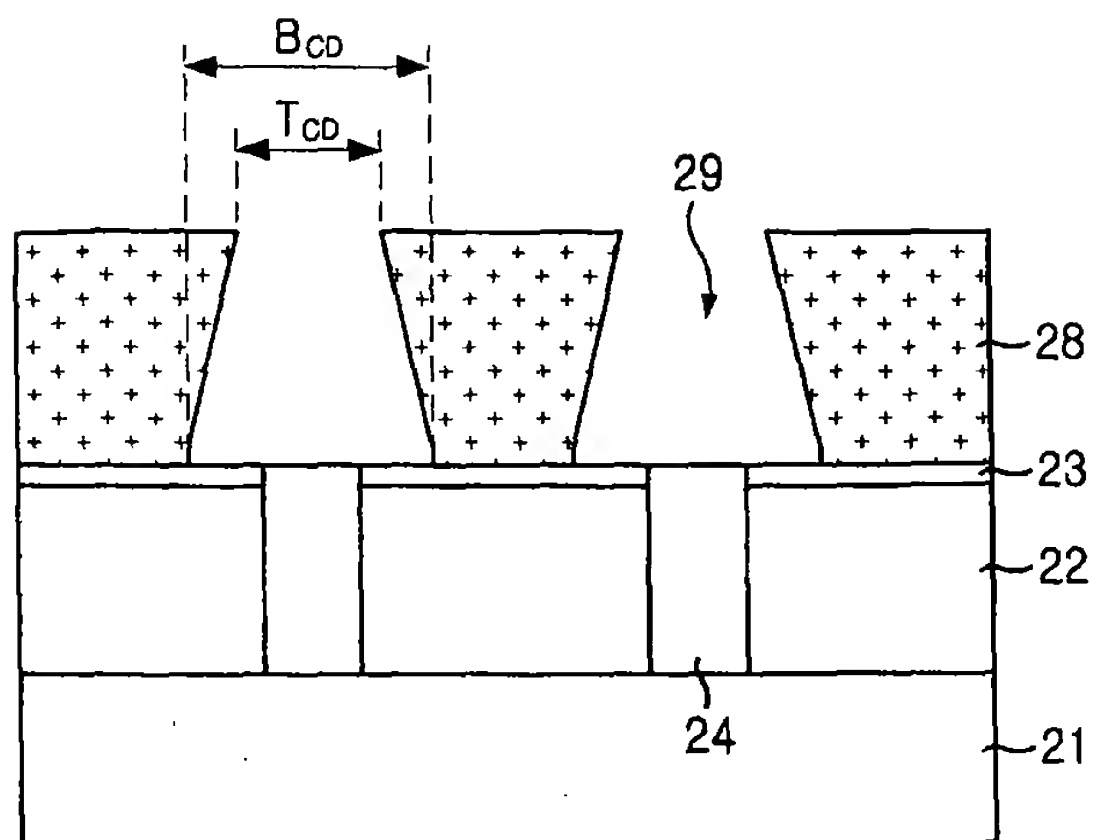
【도 2】



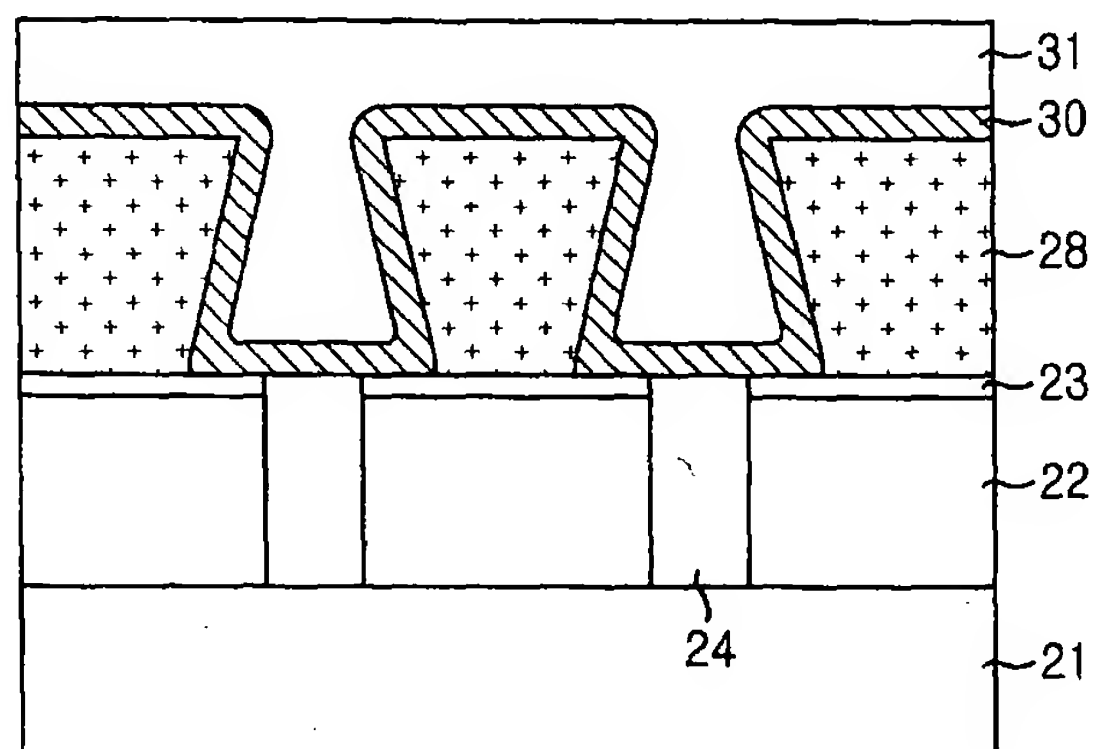
【도 3a】



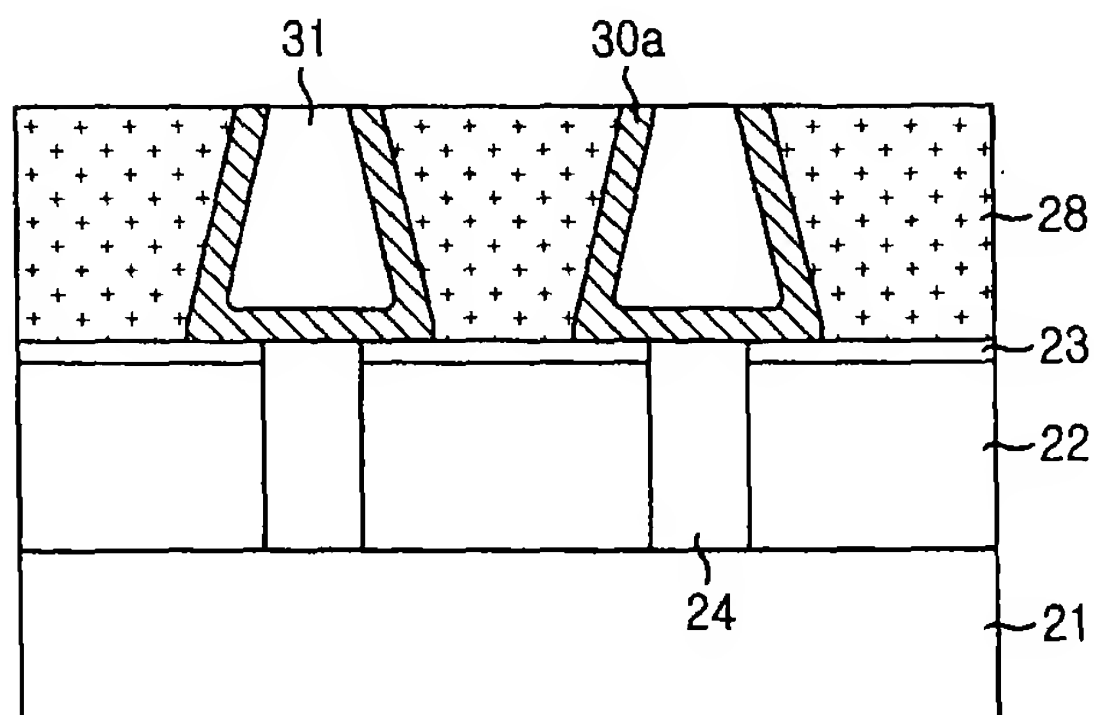
【도 3d】



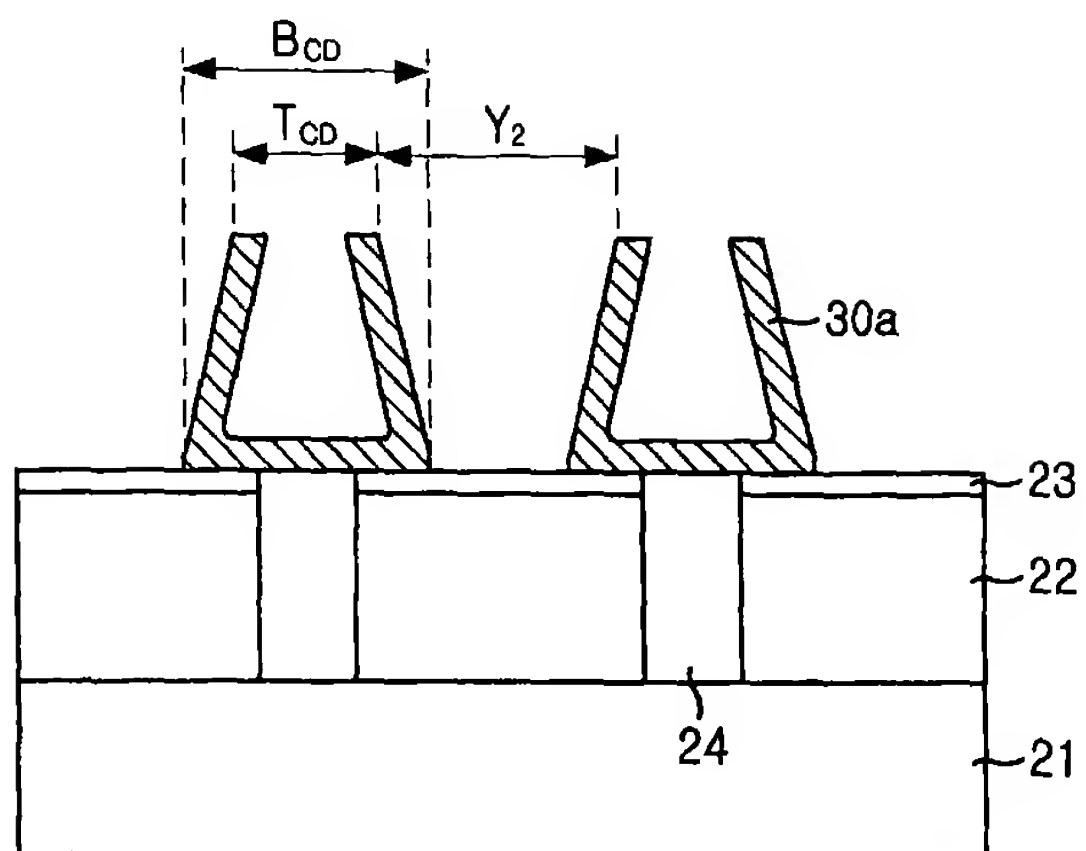
【도 3e】



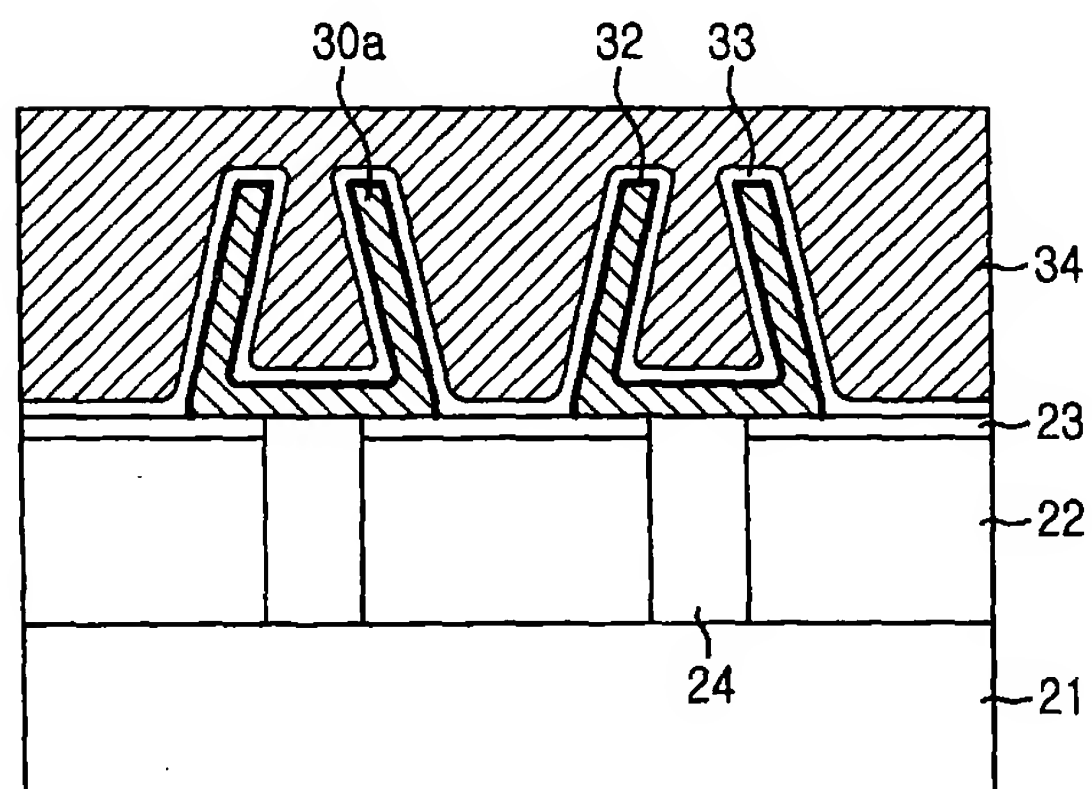
【도 3f】



【도 3g】



【도 3h】





A DOCPHOENIX

NEW APPLICATION DOCUMENT INDEX SHEET

☐ TRNA
Transmittal New Application

☐ SPEC
Specification

☐ CLM
Claims

☐ ABST
Abstract

☐ DRW
Drawings

☐ OATH
Oath or Declaration

☐ ADS
Application Data Sheet

☐ A...
Amendment Including Elections

☐ A PE
Preliminary Amendment

☐ REM
Applicant Remarks in Amendment

☐ IDS
IDS Including 1449

☐ 371P
PCT Papers in a 371P Application

☐ FOR
Foreign Reference

☐ NPL
Non-Patent Literature

☐ FRPR
Foreign Priority Papers

☐ ARTIFACT
Artifact

☐ LET.
Misc. Incoming Letter

☐ IMIS
Misc. Internal Document

☐ TRREISS
Transmittal New Reissue Application

☐ PROTRANS
Translation of Provisional in Nonprovisional

☐ BIB
Bib Data Sheet

☐ WCLM
Claim Worksheet

☐ WFEE
Fee Worksheet

☐ APPENDIX
Appendix

☐ COMPUTER
Computer Program Listing

☐ SPEC NO
Specification Not in English

☐ N417
Copy of EFS Receipt Acknowledgement

☐ CRFL
Computer Readable Form Transfer Request Filed

☐ CRFS
Computer Readable Form Statement

☐ SEQLIST
Sequence Listing

☐ SIR.
SIR Request

☐ AF/D
Affidavit or Exhibit Received

☐ DIST
Terminal Disclaimer Filed

☐ PET.
Petition

☐ END JOB

☐ DUPLEX